

Studiu structural al redundanței circuitului digital al contraexemplului Schneider

Ion COJOCARU

The University "Politehnica" Bucharest,

Spl. Independenței 313, RO 077206, Faculty of Engineering in Foreign Languages, Bucharest

i_coj@yahoo.fr

Abstract - The structurel method and the spatial-temporal truth table description of the functionality for the DC's methods were used with the purpose to obtain a logic description of the equivalent successive transformations. In conformity with structurel approach the necessary equivalent modifications are made. As a consequence the redundancy of the 6th logic gate and its connections was detected. It was demonstrated that the $6 \equiv 1$ error can't be detected using DALG-II because the blockage of 2 entrances of the exit gate from the DC.

INTRODUCERE

Elaborarea metodelor eficiente de generare a testelor totdeauna a constituit problema cheie a testării circuitelor digitale (CD). Creșterea funcționalității și complexității fiecărei noi generații de circuite integrate (CI) accentua și mai mult importanța creării metodelor eficiente, rapide și simple de generare a testelor. Tot mai evidentă devenea necesitatea elaborării cerințelor, principiilor și metodelor de "proiectare pentru testabilitate - PPT" a CD. Bazele teoretice ale testării CD continuau să se dezvolte în paralel cu elaborarea conceptelor și metodologiei PPT. În 1966 Roth elaborează algoritmul DALG-I [1]. Schneider [2] aduce un contraexemplu de CD, eroarea $6 \equiv 0$ a căruia, nu putea fi depistată conform DALG-I, deși testul exista. În 1967 apare primul algoritm de generare a testelor DALG-II [3], care garantează generarea testului de depistare a erorii $6 \equiv 0$. În [4] se arată că eroarea $6 \equiv 0$ ar putea fi o eroare specifică. În [5, 6] este demonstrată posibilitatea apariției conflictelor logice irezolvabile, iar în [7] este demonstrată în mod analitic redundanța acestui CD al contraexemplului Schneider. În lucrare nu se pune nici un semn de îndoială asupra eficienței algoritmului DALG-II. Totodată, pentru o comprehensibilitate mai adecvată a situațiilor, care pot apărea, este necesară menționarea următoarelor: 1) DALG-I este bazat pe principiul activării unei singure căi prin circuit, utilizarea modelului erorii constante singulare și obținerea unui ansamblu de teste de diagnosticare; 2) DALG-II este bazat pe principiul activării simultane a tuturor căilor fan-outului prin poarta de convergență până la toate ieșirile CC, ceea ce conduce, de fapt, la utilizarea modelului erorii constante multiple și obținerea unui ansamblu de teste de verificare. În mod firesc, în acest moment apare și următoarea întrebare: o poartă logică (PL), ca obiect de verificare/diagnosticare, este adecvată principiului DALG-I cu fazele de manifestare și propagare univocă a semnalului unei singure căi sau este adecvată principiului DALG-II, cunoscut fiind faptul că pentru o PL testele de verificare coincid cu testele de diagnosticare? Prezenta lucrare reprezintă un studiu structural, care confirmă redundanța CD al lui Schneider.

1. GENERALITĂȚI

Odată cu creșterea complexității circuitelor digitale (CD) deveneau din ce în ce mai dificile atât procesele de generare a testelor de detectare a erorilor, cât și procesele

de organizare a unei testări adecvate. În multe cazuri structura circuitului proiectat nu era adecvată nici cu concepțiile de generare a testelor și nici cu modul potrivit de testare a produselor noilor tehnologii. Ca urmare, testele de depistare a anumitor erori nu puteau fi generate, ceea ce în anumite situații putea conduce la urmări imprevizibile. Aceste dificultăți au condus în anii 60 ai secolului trecut la apariția în cadrul testării CD a unei noi direcții științifice - proiectarea pentru testabilitate (PPT). Totodată, la acel moment, însăși fundamentele testării nu erau definitive.

Inițial, eficiența algoritmului DALG-II este demonstrată pentru o singură eroare (posibil specifică conform [4]). Ulterior au apărut multe publicații, în care a fost confirmată eficiența DALG-II chiar și pentru CD care conțineau mai mult de 20 de nivele logice. Totuși, în afară de bănuiala din [4] au mai fost ridicate și alte semne de întrebare [5], care se refereau nu atât la DALG-II, cât la specificitatea CD al contraexemplului Schneider, ca obiect în baza căruia s-a demonstrat ineficiența DALG-I, și la posibilitatea apariției conflictelor logice irezolvabile în acest CD. Analiza de paritate a semnalelor fan-outurilor convergente [6] a indicat posibilitatea existenței în acest CD a conflictelor logice irezolvabile și a argumentat necesitatea unei verificări minuțioase a corectitudinii procesului de sinteză a acestui CD. În cazul proiectării pentru testabilitate pot fi utilizate doar metodele bine formalizate de sinteză, iar metodele de proiectare ad-hoc sunt practic incompatibile.

Prezenta lucrare continuă dezvoltarea rezultatelor din [5, 6, 7] cu un studiu structural al redundanței CD al contraexemplului Schneider. Ca urmare, este pusă sub semnul întrebării posibilitatea depistării erorii $6 \equiv 1$ și este demonstrată redundanța acestui circuit în sensul definiției redundanței logice date de Hayes [8].

2. ESTIMAREA STRUCTURALĂ A REDUNDANȚEI CD AL CONTRAEXEMPLULUI SCHNEIDER

2.1. Noțiuni și definiții

Sinteza unui circuit combinațional (CC) reprezintă un proces de realizare a unei structuri digitale în conformitate cu o funcție logică (FL) dată. Analiza unui CD constituie procesul invers - obținerea unei exprimări formale a funcției logice în conformitate cu reprezentarea grafică a CC dat. În cazul general există o corespondență

biunivocă sau quasi biunivocă între FL și CC proiectat. De aceea, îndeosebi în procesul de analiză a unor structuri digitale mai sofisticate, proiectate ad-hoc sau obținute prin metoda factorizării sau care realizează o funcție specifică sau o combinație de funcții specifice, pot apărea probleme serioase, depășirea cărora necesită o abordare ne standard, inventivitate, euristică și tenacitate. În continuare vom utiliza cele mai eficiente și comprehensibile metode de analiza funcțională a CD al

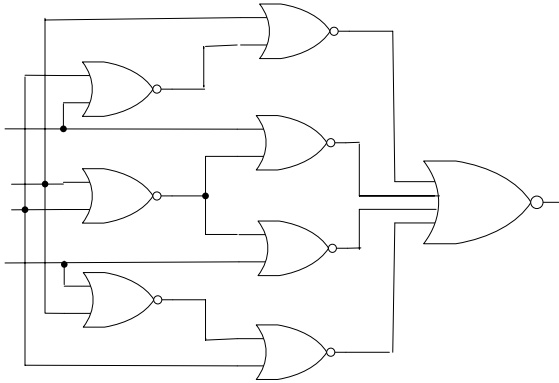


Fig. 1. CD al contraexemplului Schneider (se traduce) contraexemplului Schneider. Chintesența analizei funcționale a unui CC constă în efectuarea unor calcule succesive de interacțiune a valorilor logice în anumite puncte ale CC, a cărui expresie logică de funcționare dorim să o obținem. Analiza de funcționare a unui CC constă în obținerea unei descrieri care corespunde structurii logice date.

Este important de menționat faptul, că estimarea structurală și estimarea analitică (funcțională) reprezintă 2 modalități de descriere prin mijloace diverse ale unora și acelorași proprietăți ale aceluiași CC. Analiza structurală este bazată pe transformări logice echivalente succesive ale structurii inițiale a CC, este mai comprehensibilă și mai aproape de preferințele inginerilor. Analiza funcțională este bazată pe transformări logice echivalente succesive ale descrierii funcției logice a CC, are priză la inginerii proiectanți și permite obținerea unor estimări rapide. În rest ambele metode sunt echivalente, conduc la aceleași rezultate și utilizarea uneia sau alteia depinde de preferințele cercetătorilor.

În cadrul analizei structurale CD, care urmează a fi analizat, va fi supus unui procedeu de enumerare a tuturor conexiunilor, începând cu intrările primare (IP), continuând cu conexiunile interne și terminând cu ieșirile primare, iar mai apoi va fi utilizat și procedeu de repartiție a porților logice pe nivele logice [7].

Fie că este dat CD al contraexemplului Schneider (fig. 1). Procedeu de analiză structurală a funcționării unui CC constă în efectuarea unor modificări succesive ale CC în cadrul cărora unele componente ale CC vor fi înlocuite cu altele logic echivalente. Sunt adevărate următoarele leme.

Lema 1. Două funcții logice se numesc echivalente, dacă tabelele lor de adevăr coincid.

Lema 2. Două porți logice se numesc echivalente, dacă tabelele lor de adevăr coincid.

Lema 3. Dacă într-un CC o poartă logică este înlocuită cu o altă poartă logică echivalentă, atunci circuitul rezultat va efectua aceeași funcție ca și circuitul inițial.

Lema 4. Dacă într-un CC un fragment de circuit este înlocuit cu un fragment de circuit echivalent sau cu o poartă logică funcțional echivalentă fragmentului inițial, atunci circuitul rezultat va efectua aceeași funcție ca și circuitul inițial.

Lema 5. Prezența unui număr par de inversoare pe aceeași conexiune este echivalentă cu lipsa oricăror inversoare pe această conexiune.

În scopul obținerii unei structuri simple și comprehensibile a CD al contraexemplului Schneider vom utiliza lemele enunțate și vom modifica în mod succesiv acest circuit.

În conformitate cu lemele 1, 2 și 3, înlocuim poarta 12 SAU-NU din fig. 1 cu poarta echivalentă NU-ȘI. Ca urmare, structura CD al contraexemplului Schneider va fi reprezentată prin circuitul echivalent modificat din fig. 2.

În fig. 2 pe conexiunile interne 8, 9, 10 și 11 au apărut câte 2 inversoare. În conformitate cu lema 5, numită și legea involuției, aceste inversoare pot fi omise fără a schimba funcția CD.

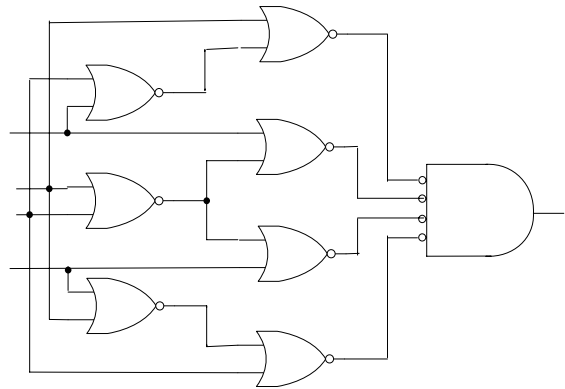


Fig. 2. CD echivalent modificat al contraexemplului Schneider

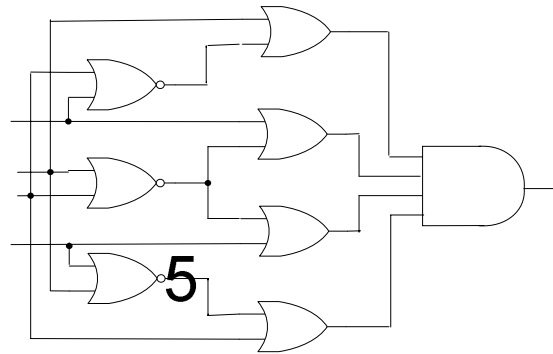


Fig. 3. CD echivalent modificat al contraexemplului Schneider

În fig. 3 este arătată structura echivalent modificată a CD al contraexemplului Schneider în care inversoarele au fost eliminate de pe conexiunile 8, 9, 10 și 11.

În fig. 3 a structurii echivalent modificate a CD al contraexemplului Schneider, în conformitate cu lema 3, înlocuim porțile 5, 6 și 7 de tip SAU-NU cu porți echivalente NU-ȘI.

Ca urmare, în fig. 4 obținem structura echivalent modificată a CD al contraexemplului Schneider în care inversoarele sunt prezente nemijlocit pe conexiunile de intrare a porților 5, 6 și 7 de tip NU-ȘI.

8

9

10

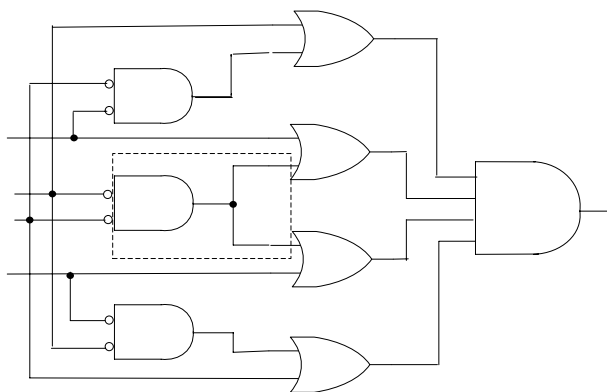


Fig. 4. CD echivalent modificat al contraexemplului Schneider

Chiar și o analiză ne detaliată a căilor diverse din fan-outurile A, B, C și D scot în evidență următoarele probleme ale structurii CD echivalent modificat al contraexemplului Schneider din fig. 4:

1) căile de propagare ale semnalelor fiecărui din aceste 4 fan-outuri au parități diverse la intrările în poarta de convergență 12;

2) propagarea semnalelor fiecărui din fan-outurile B și C, până la intrările în poarta de convergență 12, se efectuează prin 2 căi cu parități pare și 2 căi cu parități impare. Mai mult, semnalul fan-outului conexiunii de ieșire a porții 6, propagându-se prin două căi poate să apară în forma dominantă *d* la intrările 9 și 10 ale porți de convergență 12, ceea ce ar conduce la blocarea definitivă a porții 12. Anume aceste raționamente au condus în [7] la depistarea redundanței porții logice 6 și a conexiunilor de ieșire ale acesteia.

Vom proceda și de această dată în același mod și vom exclude din structura CD al contraexemplului Schneider (fig. 4) poarta 6 de tip NU-ȘI împreună cu conexiunile fan-outului până la intrările în porțile logice

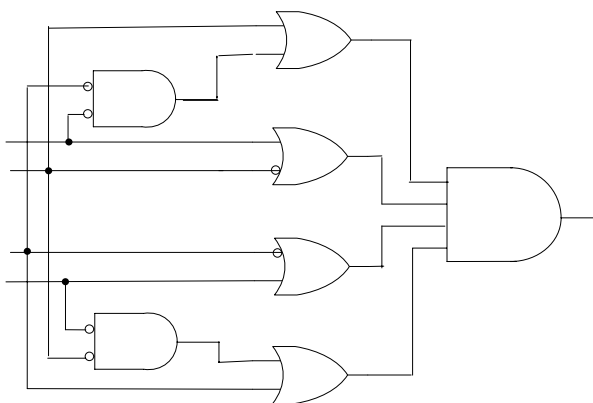


Fig. 5. CD echivalent modificat al contraexemplului Schneider

9 și 10. Ca urmare, vom obține structura din fig. 5, a cărei echivalență logică cu CD al contraexemplului Schneider ar demonstra faptul redundanței CD din fig. 1. Demonstrarea echivalenței logice se va face prin metoda tabelului de adevăr de descriere spațial-temporală a funcționalității CD [7].

2.2. Tabel de adevăr de descriere spațial-temporală a funcționalității CD

Una din cele mai informative metode de descriere a funcționalității unui CD este o variantă a tabelului de

adevăr, care permite obținerea pe orice conexiune a rezultatelor interacțiunii semnalelor la aplicarea la IP a combinației respective a semnalelor binare. Acest tabel de adevăr reprezintă un model spațial-temporal (tab. 1) al comportamentului CD la aplicarea oricărei din cele 2^n combinații binare la IP, unde n este numărul de IP. Astfel caracterul spațial este specificat de conexiunile CD ale căror semnale sunt considerate, pe când caracterul temporal este specificat de momentul aplicării unei anumite combinații binare a IP. Tabelul de adevăr al descrierii funcționale a CD conține valorile semnalelor logice ale oricărei conexiuni a CD, calculate de la IP spre ieșirea CD. Fiecare combinație binară conduce la apariția unei anumite succesiuni de semnale logice la ieșirile fiecărei PL și constituie conținutul unui rând. Pe de altă parte, fiecare coloană conține valorile semnalelor binare ale conexiunii respective la aplicarea a 2^n combinații binare la IP.

5

Tabelul 1. Descriere spațial-temporală a funcționalității CD după eliminarea redundanței

| Nr. crt. | Semnalele IP | | | | Semnalele PL | | | | | | Ieșire |
|----------|--------------|---|---|---|--------------|---|---|---|----|----|--------|
| | 1 | 2 | 3 | 4 | 5 | 7 | 8 | 9 | 10 | 11 | |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 |
| 2 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| 3 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| 4 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 5 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 6 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 7 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 8 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 |
| 9 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 10 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| 11 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| 12 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 13 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 14 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 |
| 15 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |

Pentru același domeniu de definiție al semnalelor de intrare ca și al CD al contraexemplului Schneider obținem următoarea funcție logică:

$$12 = 1 \cdot 2 \cdot 3 \cdot 4 \vee \bar{1} \cdot \bar{2} \cdot \bar{3} \cdot \bar{4}, \quad (1)$$

Funcția logică (1), obținută pentru CD echivalent modificat al contraexemplului Schneider din care a fost eliminată poarta logică 6 împreună cu conexiunile aferente ale fan-outului până la intrările în porțile logice 9 și 10 (fig. 5), coincide cu funcția logică a CD inițial al contraexemplului Schneider (fig. 1). În conformitate cu definiția lui J. P. Hayes de redundanță logică [8], CD al contraexemplului Schneider [2] este redundant.

Tabelul de adevăr spațial-temporal este suficient pentru obținerea descrierii funcționale a CD în formă canonică de disjuncție a conjuncțiilor sau formă canonică de conjuncție a disjuncțiilor. Expresia funcțională obținută este o funcție specifică, care poate fi reprezentată în felul următor:

$$----- \quad \bar{0} \quad \bar{0} \quad \bar{0}$$

Tabelul 2. Efectul redundanței porții 6

| Semnale IP | | Până la modificare | | După modificare | | Comentariu |
|------------|---|--|---|---|---|---|
| | | Semnalele la ieșirea porții 6 de tip NU-ȘI | | Semnalele conexiunilor 2 și 3 după inversoare | | |
| 2 | 3 | 2 | 3 | 2 | 3 | |
| 0 | 0 | 1 | 1 | 1 | 1 | Eroare $6 \equiv 0$; propagare pe ambele căi până la intrările porților ȘI |
| 1 | 0 | 0 | 0 | 0 | 1 | Eroarea $6 \equiv 1$; propagarea pe ambele căi blochează poarta ȘI în 0. |
| 0 | 1 | 0 | 0 | 1 | 0 | Eroarea $6 \equiv 1$ propagată pe ambele căi blochează poarta ȘI în 0. |

Analiza datelor tabelului 2 indică, că la aplicarea semnalelor 00 pe conexiunile IP 2 și 3 la ieșirile porții 6 vor fi obținute semnalele 11 și acestea vor coincide cu semnalele după inversoarele conexiunilor 2 și 3. Schneider demonstrează veridicitatea CD al contraexemplului său pentru o singură eroare $6 \equiv 0$. Întâmplător sau nu, dar anume vectorul stimul, care asigură manifestarea erorii $6 \equiv 0$, conduce la reacții identice a CD redundant (cu poarta 6) și a CD obținut după eliminarea porții 6.

Vom compara semnalele 2 și 3 după și până la modificarea cauzată de redundanță. Din tabelul 2 reiese, că eroarea $6 \equiv 0$, unica eroare, care stă la baza argumentării ineficienței metodei de elaborare a testelor în conceptul de sensibilizare a unicei căi prin CD al contraexemplului Schneider, necesită aplicarea la IP 2 și 3 a combinației 00 pentru a asigura *condiția de manifestare* a erorii $6 \equiv 0$ și a obține pe conexiunea 6 valoarea 1. Asigurarea condițiilor de *propagare univocă* a acestei valori logice prin porțile 9 și 10 conduce la obținerea valorilor echivalente e (1 pentru poarta ȘI) la două intrări ale porții 12 și la posibilitatea detectării erorii $6 \equiv 0$ la ieșirea 12. Nu același lucru se întâmplă și în cazul erorii $6 \equiv 1$: pentru a asigura *condiția de manifestare a erorii $6 \equiv 1$* este necesară aplicarea la 2 și 3 a uneia din combinațiile de semnale 10 sau 01, ceea ce va conduce la instalarea valorii logice 0 pe conexiunea 6. *Propagarea univocă și simultană* a acestui semnal prin porțile 9 și 10 va conduce la apariția la intrările 9 și 10 ale porții 12 de tip ȘI a valorii logice dominante d (0 pentru poarta ȘI). Valoarea dominantă d a semnalului la o intrare a porții 12 o blochează în starea 0 și poarta poate deveni sensibilă numai la apariția unui semnal de tip e la aceeași intrare. *O a doua valoare d a semnalului* pe cealaltă intrare de propagare a semnalului prin poarta 12 conduce la *blocarea definitivă a acestei porți*. Deci, testul de depistare a erorii $6 \equiv 1$ nu poate fi obținut în baza DALG-II, dar poate fi obținut în baza algoritmului de sensibilizare a unei singure căi DALG-I.

CONCLUZII

- Deși analiza funcției logice a CD al contraexemplului Schneider a fost efectuată printr-o abordare diferită de cea din [7], a fost obținut același rezultat.
- Metoda structurală de analiză a permis modificarea echivalentă succesivă a reprezentării grafice a CC și obținerea unei structuri digitale cu inversoare doar la intrările primare, ceea ce a facilitat efectuarea analizei.

3. Tabelul de adevăr spațial-temporal al ultimei modificări a CD al contraexemplului Schneider a permis obținerea aceleiași funcții logice, ca și a CD inițial.

4. Eliminarea porții 6 și a conexiunilor de ieșire ale acesteia, cu păstrarea inversoarelor la intrarea 2 a porții 9 și la intrarea 3 a porții 10 nu conduce la schimbarea funcției logice a CD al contraexemplului Schneider. În conformitate cu definiția de redundanță logică dată de J. P. Hayes [8] rezultă că CD al contraexemplului Schneider este redundant.

5. Redundanța logică a CD al contraexemplului Schneider nu reprezintă o eroare apărută în procesul de sinteză, ci mai degrabă este o eroare de ne atenție sau de incompetență a celor care au obținut forma grafică a CD. Acest tip de redundanță este deosebit de dificil de detectat.

BIBLIOGRAFIE

- [1]. Roth J. P. Diagnosis of Automata Failures: A calculus and A Method. - IBM Journal of Research and Development, vol. 10, p. 278-291, 1966.
- [2]. Schneider P. R. Contraexemplul On the Necessity to Examine D-Chains in Diagnostic Test Generation – An example, IBM Journal of Research and Development, vol. 11, No.1, p. 114-115, 1967.
- [3]. Roth J. P., Bouricius W. G., Schneider P. R. Programmed Algorithms to Compute Tests to Detect and Distinguish Between Failures in Logic Circuits. - IEEE Trans. On Electronic Computers, vol. EC-16, No. 5, p. 567-579, 1967.
- [4]. Chang H. Y., Manning E., Metzger G. – Fault diagnosis of digital systems. – Wiley-Interscience, New York, London, Sydney, Toronto, 1970.
- [5]. Cojocaru I. Estimarea testabilității circuitului digital al contraexemplului Schneider. - În curs de apariție
- [6]. Cojocaru I. Analiza de paritate a semnalelor fan-outurilor convergente ale circuitului digital al contraexemplului Schneider. - În curs de apariție
- [7]. Cojocaru I. Studiu analitic al redundanței CD al contraexemplului Schneider. – În curs de apariție.
- [8] J. P. Hayes. On the Properties of Irredundant Logic Networks. *IEEE Transactions on Computers*, C-25(9), pag. 884-892, Sept. 1976.